

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010109250 **Image available**

WPI Acc No: 1995-010503/199502

XRPX Acc No: N95-008504

**Liquid crystal display device used in image display systems - uses
structure of TFT display with prescribed density of doping of LDD domain**

Patent Assignee: TOSHIBA KK (TOKE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6296021	A	19941021	JP 9380457	A	19930407	199502 B

Priority Applications (No Type Date): JP 9380457 A 19930407

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6296021	A		5 H01L-029/784	

Abstract (Basic): JP 6296021 A

The LCD is formed on a transparent substrate. In a demarcated area for pixels, the display pixels are formed in the form of a matrix. The pixel includes a drive circuit made as TFT and analog switch.

The TFT is designed as LDD structure with doping density level less than 1.4×10^{17} to power (17).

ADVANTAGE - Reduces resistance of LDD region. Controls leakage current, thereby increasing clarity of display. Improves device reliability and speed of response.

Dwg.1/4

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; IMAGE; DISPLAY; SYSTEM; STRUCTURE; TFT; DISPLAY; PRESCRIBED; DENSITY; DOPE; LDD; DOMAIN

Derwent Class: P81; P85; U12; U14

International Patent Class (Main): H01L-029/784

International Patent Class (Additional): G02F-001/136; G09G-003/36

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04624121 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 06-296021 [JP 6296021 A]

PUBLISHED: October 21, 1994 (19941021)

INVENTOR(s): NAKAZONO TAKUSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 05-080457 [JP 9380457]

FILED: April 07, 1993 (19930407)

INTL CLASS: [5] H01L-029/784; G02F-001/136; G09G-003/36

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal

Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
Implantation)

JOURNAL: Section: , Section No. FFFFFFFF, Vol. 94, No. 10, Pg. FFFFFFFF,
FF, FFFF (FFFFFFFFF)

ABSTRACT

PURPOSE: To provide a liquid crystal display of low leakage current and good image quality by using a thin-film transistors having an LDD structure in which the doping concentration is set below a specified value.

CONSTITUTION: An active layer 1f of polycrystalline silicon is formed on the surface of a transparent substrate 1a and a thermal oxide film 1g is formed by patterning the polycrystalline silicon film 1f. A gate electrode is formed in a prescribed region of the surface of this thermal oxide film 1g and the region of the polycrystalline silicon layer 1f corresponding to the peripheral part of the gate electrode is made selectively an impurity region 1f(sub 1) of low concentration of $1.4 \times 10^{17}/\text{cm}^3$ or below and a region outside this region is made selectively a source region 1f(sub 2) and a drain region 1f(sub 3) wherein impurities are of high concentration. Thereafter a contact hole 1j is provided on the surface of a first insulation layer 1i and a wiring connecting to the source region 1f(sub 2) is formed. Then, a contact hole 1m piercing a second insulation layer 1l, the first insulation layer 1i and the thermal oxide film 1g is provided and a transparent electrode 1n is formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-296021

(43) 公開日 平成6年(1994)10月21日

(51) Int. Cl. ⁵	識別記号	F I			
H01L 29/784					
G02F 1/136	500	9119-2K			
G09G 3/36		8621-5G			
		9056-4M	H01L 29/78	311	S
審査請求 未請求 請求項の数 1 O L (全6頁)					

(21) 出願番号 特願平5-80457

(22) 出願日 平成5年(1993)4月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中園 卓志

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

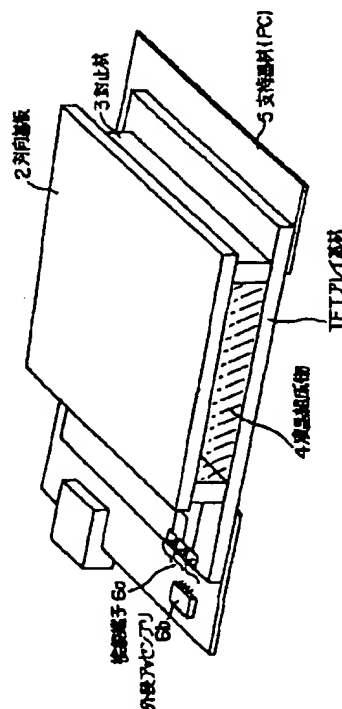
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 駆動回路のうち表示画素への書き込みスイッチング素子を成す TFT を LDD 構造化し、LDD 構造の不純物濃度を適性に制御・設定することにより、常に良好な画質の表示が可能な液晶表示装置の提供を目的とする。

【構成】 表示機能を有する画素部、および前記画素部を駆動する駆動回路部を少なくとも具備し、かつ前記駆動回路部のうち各画素への書き込み用アナログスイッチが、多結晶 Si を活性層とする薄膜トランジスタで形成されて成る液晶表示装置において、前記薄膜トランジスタ (TFT) を LDD 構造とするとともに、LDD 領域のドーピング濃度を $1.4 \times 10^{17} / \text{cm}^3$ 以下に設定したことを特徴とする。



(2)

特開平6-296021

2

【特許請求の範囲】

【請求項1】 表示機能を有する画素部、および前記画素部を駆動する駆動回路部を少くとも具備し、かつ前記駆動回路部のうち各画素への書き込み用アナログスイッチが、多結晶Siを活性層とする薄膜トランジスタで形成されて成る液晶表示装置において、前記薄膜トランジスタを LDD構造とするとともに、LDD領域のドーピング濃度を $1.4 \times 10^{17} / \text{cm}^3$ 以下に設定したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に係り、特に多結晶Si薄膜トランジスタをアナログスイッチとして駆動回路部に備えて成る液晶表示装置に関する。

【0002】

【従来の技術】 液晶表示装置の高速化や高品位化の実現を目指して、表示画素ごとのスイッチング素子、および駆動回路における各画素への書き込み用アナログスイッチ素子として、多結晶Si（以下、p-Siと略称）を活性層として成る薄膜トランジスタ（以下、p-Si TFTと略称）が応用されている。

【0003】 ところで、前記 TFTを液晶表示装置に応用する場合、表示画素中で液晶への電圧印加用の画素部 TFTと、この画素部 TFTを駆動する駆動回路部のトランジスタとして使用される。そして、この駆動回路は、画素部の TFTをON/OFFするためのデジタル動作部分と、ビデオ信号を転送するアナログ動作部分とに分けられ、さらにアナログ動作の最終段には、瞬時に画素部へ所要の電荷を転送するため、大電流を流し得るアナログスイッチが設定されている。つまり、画素部は、各表示画素をON/OFFするためのスイッチング TFT、および転送された電荷を保持する画素容量を備えており、前記スイッチング TFTのON状態で画素容量に電流を流し込み、その電位を上昇させる必要があるため、大電流を流し得る構成を成している。なお、この場合、表示画素間での配線に浮遊容量が乗っているため、この浮遊容量の電位を上昇させながら電流を流し込むことになり、通常我々の構造のアナログスイッチについては $3.5 \text{ k}\Omega$ 程度のON抵抗が要求される。一方、前記スイッチング TFTの OFF状態で、電荷の保持状態が悪いと（ドレイン・リーク電流の発生など）、電荷の流れ出しにより表示画素の保持特性が劣化するため、高品質な画像表示を成し得なくなる。つまり、画素部の TFTの場合と同様に、ドレイン・リーク電流が表示画像の品位に悪影響を及ぼすので、ドレイン・リーク電流の低減が望まれている。

【0004】 そして、前記ドレイン・リーク電流の発生原因は、次のように説明される。まず電源電圧が低いとき、つまりゲート電圧、ドレイン電圧が低い場合、ドレインリーク電流は主に熱励起電流が原因である。換言すると、TFTの活性層を成すp-Si中のSi結合の欠陥のう

ち、特に未結合手から励起が主に起こるので、水素化による欠陥のターミネーションが有効に対策として作用する。次に、電源電圧が高いとき、つまりゲート電圧、ドレイン電圧のいずれかが大きくなるとドレイン接合に強い電場が印加され、バンド間のトンネル電流が流れ出す。このトンネル電流は、欠陥準位を媒介する間接のトンネリングと非常に電場が強くなった場合の直接のトンネリングの機構がある。いずれにしても、電場が問題であるため、LDDによる電場の緩和が有効な対策となる。このようなリーク電流は、前記アナログスイッチング素子を成す TFT動作の OFF側（領域）で発生するため、通常のON/OFFのスイッチ機能を十分果たし得ないことを意味し、前記各表示画素に対する電荷（表示データ）の低下、ひいては表示画質に悪影響をもたらしている。

【0005】 このアナログスイッチング素子のリーク電流対策として、p-Si中のSi結合の欠陥である未結合手を、水素パッシベーションと呼称される強制的な水素添加でターミネートする手段が知られている。つまり、強制的に添加した水素は、p-Si中のSi未結合手のターミネーターとして働き、前記Si結合の欠陥に捕獲されていたキャリアが放出され、未結合手が欠陥としての作用を消失する。このため、ドレイン・リーク電流の低減、特にゲート電圧 (V_g) が小さい場合のリーク電流の低減に効果があるとともに、しきい値電圧の低下、ホール移動度の向上、電流駆動能力の向上などの効果を併せてもたらす。

【0006】 さらに、リーク電流を低減するため、前記水素化とともに、アナログスイッチング素子を成す TFTを LDD構造 (Lightly Doped Drain) 化し、ドレイン・チャンネル間の電界（電場）を緩和させることも試みられている。つまり、TFTの接合部にかかる最大電場は、接合部の電荷の平方根に比例するため、いわゆる MOS構造の場合と同様に、ドレイン・チャンネル接合部に低電荷層を形成することによって、接合部に印加される最大電場を減少させ、もって OFF状態でのドレイン接合に発生する電場集中を防止し、異常発生するリーク電流の低減を図る試みもなされている。

【0007】

【発明が解決しようとする課題】 しかし、上記のごとくリーク電流の低減化を図った TFTをアナログスイッチング素子として駆動回路に備えた液晶表示装置の場合には、実用上次のような不都合が認められる。すなわち、前記 TFTの LDD構造（チャンネルとソース/ドレイン間に低濃度領域を形成）により、OFF領域でのリーク電流をある程度低減し得るが、一方、ON状態では抵抗として作用するので、ON電流の減少を招来する。そして、このアナログスイッチング素子におけるON電流の減少は、各表示画素に十分な画像信号の転送を困難化し易く、特にビデオ信号を画素に転送する際、致命的な欠陥をなす。

(3)

特開平6-296021

3

【0008】本発明はこのような問題を解決するためになされたもので、駆動回路のうち画素への書き込みスイッチング素子を成す TFT を LDD 構造にし、LDD 構造の不純物濃度を適性に制御・設定することにより、常に良好な画質の表示が可能な液晶表示装置の提供を目的とする。

【0009】

【課題を解決するための手段】本発明の液晶表示装置は、表示機能を有する画素部、および前記画素部を駆動する駆動回路部を少くとも具備し、かつ前記駆動回路部のうち各画素への書き込み用アナログスイッチが、多結晶 Si を活性層とする薄膜トランジスタで形成されて成る液晶表示装置において、前記薄膜トランジスタ (TFT) を LDD 構造とするとともに、LDD 領域のドーピング濃度を $1.4 \times 10^{17} / \text{cm}^3$ 以下に設定したことを特徴とする。

【0010】本発明に係る液晶表示装置は、駆動回路部のうち各画素への書き込み用アナログスイッチとして機能する TFT を LDD 構造にし、かつ LDD 領域のドーピング濃度を $1.4 \times 10^{17} / \text{cm}^3$ 以下に設定して、ON 電流低減の回避ないし悪影響の抑制を骨子としたものであり、画素部の各画素電極のスイッチングや駆動回路のアナログスイッチ素子以外に、LDD 構造にした TFT を使用する場合にも、適用し得る。

【0011】

【作用】上記したように、LDD 構造にした TFT においては、前記 LDD 構造 (領域) が ON 電流に対して抵抗として作用するが、LDD 構造 (領域) に所要の不純物を所定濃度範囲にドーピングしたことにより、LDD 構造 (領域) の抵抗も低減されている。このため、アナログスイッチを成す LDD 構造の TFT の ON 電流は、TFT のチャンネル抵抗が支配的となる。つまり、駆動回路部の各表示画素への書き込み用アナログスイッチ (LDD 構造にした TFT) の ON 電流は、そのチャンネル抵抗によってのみ決められることになるため、LDD 構造化によるリーク電流の低減効果、画質のアップを確実かつ容易に達成し得ることが可能となる。

【0012】

【実施例】以下図 1～図 4 を参照して本発明の実施例を説明する。

【0013】図 1 は本発明に係る液晶表示装置の一構成例の要部を一部切欠して示す斜視図、図 2 は本発明に係る液晶表示装置で用いた薄膜トランジスタアレイ基板の一構成例の要部を示す斜視図、図 3 は本発明に係る液晶表示装置が具備する LDD 構造 TFT の要部を示す断面図である。

【0014】本発明に係る液晶表示装置は、p-Si TFT を含む表示画素から成る画素部、およびこの画素部を駆動する駆動回路部を一主面に一体的に配置・形成した薄膜トランジスタアレイ基板 1 と、前記画素部の画素電極に対向する共通対向電極が配設された対向基板 2 と、こ

4

れら薄膜トランジスタアレイ基板 1 および対向基板 2 を主面同士が所定の間隙をおいて対向・配置され、かつ両基板 1、2 の周囲を液密に封止した封止材 3 と、前記薄膜トランジスタアレイ基板 1 および対向基板 2 とが形成し、かつ封止材 3 で封止された間隙・領域に封入・挟持された液晶組成物 4 とを具備した構成を成している (図 1)。

ここで、5 は表示部 (画素部) に対応した領域が窓開けされた支持板、6a は薄膜トランジスタアレイ基板 1 の端縁部に配置された外部接続端子部、6b は支持板に配置された外装アッセンブリである。

【0015】なお、図 2 は前記液晶表示装置の構成に用いた薄膜トランジスタアレイ基板 1 を斜視的に示したもので、たとえば石英板を透明基板 1a とし、所定の領域面に p-Si TFT を含む表示画素 1b から成る画素部、この画素部 1c を駆動するアドレス側駆動回路 1d、および信号側駆動回路 1e が一体的に配置・形成されている。そして、前記画素部 1c を駆動するアドレス側駆動回路 1d は、順次信号を転送するシフトレジスタ 1d₁、転送されてくる信号電流を増幅し、かつ各表示画素 1b のゲートを ON するバッファ 1d₂ とで構成されている。また、画素部 1c を駆動する信号側駆動回路 1e は、同じく順次信号を転送するシフトレジスタ 1e₁、この転送される信号を受けて ON する書き込み用アナログスイッチ素子 1e₂ (LDD 構造の TFT) 群とで構成されている。そして、このアナログスイッチ素子 1e₂ から、たとえばビデオ信号がアドレス側駆動回路 1d で ON になっている各表示画素 1b へ流れ込み、その表示画素 1b がビデオ信号に対応した明るさを呈する構成と成っている。

【0016】この実施例で用いた薄膜トランジスタアレイ基板 1 は、次のようにして製造し得る。図 3 はこの液晶表示装置が具備する LDD 構造 TFT の要部を示すもので、先ず石英基板 1a 面上に、Si、H、ガスからアモルファスシリコンを成膜し、その後、約 600℃ でアニールを行い固相成長させ、p-Si (多結晶シリコン) から成る活性層 1f を 100nm を形成した。次いで、前記形成した p-Si 膜 1f をパターニングしてから、たとえば 900℃ で厚さ約 70nm の熱酸化膜 1g を形成し、この熱酸化膜 1g 面の所定領域に p-Si から成るゲート電極 1h を形成する。また、前記ゲート電極 1h の周辺部の内側 2μm に相当する p-Si 活性層 1f の領域を選択的に、たとえば $1.4 \times 10^{17} / \text{cm}^3$ 以下の低濃度不純物領域 1f₁、その外側領域を不純物が高濃度なソース領域 1f₂、およびドレイン領域 1f₃ とする。その後、第 1 の絶縁層 1i を形成し、この第 1 の絶縁層 1i および熱酸化膜 1g を貫通してソース領域 1f₂ に到達するコンタクトホール 1j を設けてから、前記ソース領域 1f₂ に一端が接続する配線 1k を第 1 の絶縁層 1i 面上に形成する。さらに、前記配線 1k した絶縁層 1i を被覆する第 2 の絶縁層 1l を形成し、この第 2 の絶縁層 1l、第 1 の絶縁層 1i および熱酸化膜 1g を貫通してドレイン領域 1f₃ に到達するコンタクトホール 1m を設けてから、前記ド

(4)

特開平6-296021

5

6

レイン領域 $1f_1$ に一端が接続する透明電極 $1n$ を形成する。その後、前記透明電極 $1n$ 形成面上に、たとえばポリイミド樹脂層を保護層として設け、配向加工など施すことによって、所要のアナログスイッチ素子 $1e_2$ を具備した薄膜トランジスタアレイ基板1が得られる。

【0017】上記構成の薄膜トランジスタアレイ基板1について、具備するアナログスイッチ素子 $1e_2$ の特性を評価したところ、表示画素に対する所要の信号電流を十分確保し得るばかりでなく、OFF側でのリーク電流も比較的抑制され易い傾向が認められた。たとえば、前記LDD構造のTFTにおいて、LDD構造(領域)を形成する段階で、幅/長さ=10/10のTFTを100個並べて、LDD構造(領域)への電荷打ち込み量を $8 \times 10^{12}/\text{cm}^2$ に設定した場合(活性層 $1f$ への打ち込み量はほぼ35%程度となる)、そのアナログスイッチ素子 $1e_2$ のトランスファ特性は、ゲート電圧に対するドレイン電流(図4(a)曲線A~D)が、前記構成を採らないTFT(非LDD構造TFT)の場合(図4(b)曲線a~c)に比較してリーク電流がOFF側で大幅に抑制・低減されている。なお、図4(a)には、アナログスイッチ素子 $1e_2$ のゲート電圧に対するゲート電流の関係を曲線 $A_1 \sim D_1$ にて併せて示す。ここで曲線A~Dおよび曲線 $A_1 \sim D_1$ は、ドレイン電圧が0.05V、5.05V、10.05V、15.05Vの場合を、曲線a~cはドレイン電圧が0.05V、5.05V、10.05Vの場合をそれぞれ示す。

【0018】また、前記構成の液晶表示装置において、駆動回路を介してビデオ信号を画素部に転送し、画像表示を評価したところ、ON電流の不十分さやリーク電流に伴う表示画質の低下などが、全面的に解消(回避)された表示機能を有することが確認された。

【0019】なお、本発明は上記例示した構成に限定されるものでなく、本発明の要旨を逸脱しない範囲で、変形を採り得る。

【0020】

【発明の効果】以上の説明で明らかなように、本発明によれば、アナログスイッチング素子として機能するLDD構造のTFTにおいて、従来ON電流に対して抵抗として作

用していたLDD構造(領域)に、所要の不純物を所定濃度範囲ドーピングして、LDD構造(領域)の抵抗を低減させている。このため、アナログスイッチを成すLDD構造のTFTのON電流は、TFTのチャンネル抵抗が支配的となり、駆動回路部の各表示画素への書き込み用アナログスイッチ(LDD構造化したTFT)のON電流は、そのチャンネル抵抗によって決められることになるため、LDD構造化によるリーク電流の低減効果、画質のアップを確実にかつ容易に達成し得ることが可能となる。つまり、p-Si TFTを用いた信頼性の高い液晶表示装置の提供が可能となる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の要部構成例の一部を切欠した状態を示す斜視図。

【図2】本発明に係る液晶表示装置の構成に用いる多結晶薄膜トランジスタアレイ基板の構成例を示す斜視図。

【図3】本発明に係る液晶表示装置の構成に用いる多結晶薄膜トランジスタアレイ基板の一部を拡大して示す断面図。

【図4】(a)は本発明に係る液晶表示装置の構成に用いる多結晶薄膜トランジスタアレイ基板が具備するアナログスイッチング素子を成すLDD構造のTFTのトランスファ特性図、(b)は従来のアナログスイッチング素子を成す非LDD構造のTFTのトランスファ特性図。

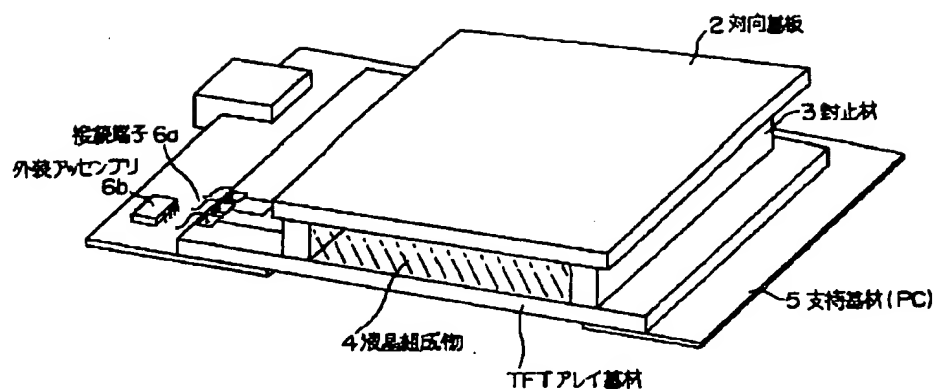
【符号の説明】

1…TFTアレイ基板 1a…透明基板 1b…表示画素
1c…画素部 1d…アドレス側駆動回路部 1d₁
…シフトトランジスタ 1d₂…バッファ
1e…信号側駆動回路部 1e₁…シフトトランジスタ
1e₂…アナログスイッチ 1f…p-Si活性層 1f₁
…ドーピング領域(低濃度) 1f₂…ソース領域
1f₃…ドレイン領域 1g…熱酸化膜 1g₁…ゲート絶縁膜
1h…ゲート電極 1i…第1の絶縁層
1j…コンタクトホール 1k…配線層
1l…第2の絶縁層 1m…コンタクトホール 1n…透明電極層
2…対向基板 3…封止材 4…液晶組成物
5…支持板(PC板)

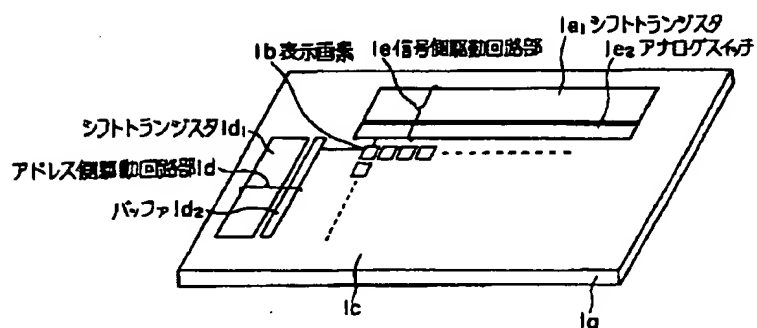
(5)

特開平6-296021

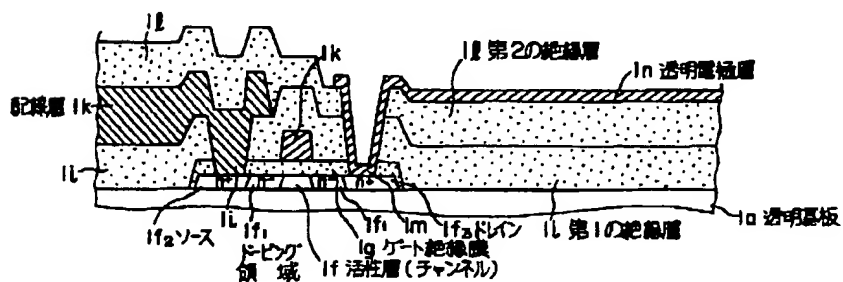
【図1】



【図2】



【図3】



(6)

特開平6-296021

【図4】

